

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07199874 A**(43) Date of publication of application: **04.08.95**

(51) Int. Cl. **G09G 3/36**  
**G02F 1/133**  
**G09G 3/20**

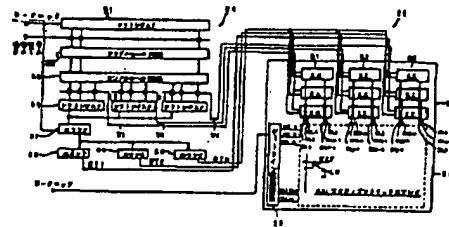
(21) Application number: **05353902**(71) Applicant: **CASIO COMPUT CO LTD**(22) Date of filing: **29.12.93**(72) Inventor: **KANBARA MINORU**(54) **DISPLAY DRIVING DEVICE**

COPYRIGHT: (C)1995,JPO

(57) Abstract:

**PURPOSE:** To provide a display driving device capable of stably driving a highly accurate display device even with switching elements whose operating speed are slow.

**CONSTITUTION:** At least an active matrix array 22 and nine drain side driving circuits 24 to 32 are formed on a substrate 21 and data lines DL1 to DLn are connected successively with different drain side driving circuits 24 to 32 and divided into nine areas. A D-clock signal is frequency-divided to one ninth and clock signals CT1 to CT3 whose phases are different each other are inputted to drain side driving circuits 24 to 32 of the corresponding positions of respective groups G1 to G3 from counters 58 to 60 and common video data are inputted to respective drain side driving circuits 24 to 32 of respective groups G1 to G3 from shift registers 54 to 56. Respective drain side driving circuits 24 to 32 supply video data being inputted at the time to corresponding data lines DL1 to DLn in with clock signals CT1 to CT3.





(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-199874

(43)公開日 平成7年(1995)8月4日

(51)Int. Cl. <sup>4</sup>	特許記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 0 5			
G 0 9 G 3/20		W 8378-5G		

審査請求 未請求 請求項の数 3 F D (全 10 頁)

(21)出願番号 特願平5-353902

(22)出願日 平成5年(1993)12月29日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72)発明者 神原 実

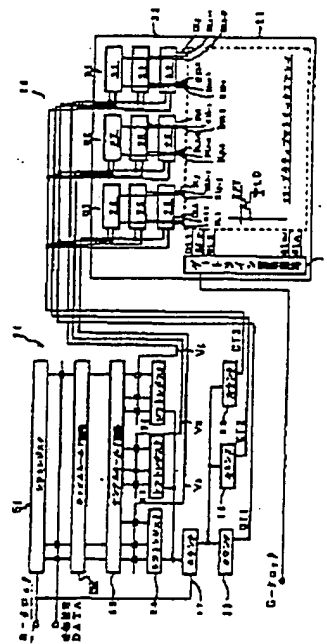
東京都八王子市石川町2951番地5 カシオ  
計算機株式会社八王子研究所内

(54)【発明の名称】 表示駆動装置

(57)【要約】

【目的】 動作速度の遅いスイッチング素子でも高精細の表示装置を安定して駆動することのできる表示駆動装置を提供することを目的としている。

【構成】 基板21上に少なくともアクティブマトリクスアレイ22と9個のドレイン側駆動回路24～32が形成され、データラインDL1～DLnは順次異なるドレイン側駆動回路24～32に接続されて9つに領域区分されている。各グループG1、G2、G3の対応する位置のドレイン側駆動回路24～32にはD-クロック信号を1/9分周しそれぞれ位相の異なるクロック信号CT1、CT2、CT3がカウンタ58～60から入力され、各グループG1、G2、G3の各ドレイン側駆動回路24～32にはシフトレジスタ54～56から共通の映像データが入力される。各ドレインライン駆動回路24～32はクロック信号CT1、CT2、CT3に同期して、そのとき入力されている映像データに対応するデータラインDL1～DLnに供給する。



【特許請求の範囲】

【請求項1】基板上に形成された走査ラインとデータラインの各交点に表示素子をマトリックス状に配置した表示パネルと、前記基板上に形成され複数のグループに分割されるとともに各グループが同数の複数のデータ側駆動回路で構成されたデータ側駆動回路部と、

を備え、前記表示パネルの各データラインは、前記複数のグループの各データ側駆動回路の一つに接続されることにより、前記データ側駆動回路部のグループの数に対応した数の駆動領域に分割され、

前記各グループの各データ側駆動回路は、それぞれが他のグループのデータ側駆動回路と共通のクロック信号ラインにより接続されていることを特徴とする表示駆動装置。

【請求項2】前記クロック信号ラインには、基本クロック信号を前記データ側駆動回路部のグループの数と各グループを構成するデータ側駆動回路の数との積の逆数に分周するとともに、該グループを構成するデータ側駆動回路の数に対応した位相角で位相をずらせたクロック信号が供給されることを特徴とする請求項1記載の表示駆動装置。

【請求項3】前記クロック信号ラインに供給されるクロック信号は、前記各グループに含まれるデータ側駆動回路の数に対応して基本クロック信号を分周する第1のカウントと、前記データ側駆動回路部を構成するグループの数に対応して前記第1のカウントから出力されるクロック信号を分周する前記グループの数と同じ数の第2のカウントと、により生成することを特徴とする請求項1または請求項2記載の表示駆動装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、表示駆動装置に関し、詳しくは、高精細及び大画面の表示パネルを高品質で駆動する表示駆動装置に関する。

【0002】

【従来の技術】近時、液晶表示パネル、特に、薄膜トランジスタを各画素毎にスイッチング素子として設けた液晶表示パネルは、スイッチング素子であるTFT (thin film transistor) が基本的に移動度が遅く、液晶表示パネルの高精細、大画面化に対して十分な駆動速度を確保することが困難となっている。

【0003】そこで、従来、液晶表示パネルの高精細、大画面化に対応するために、図4に示すように、ドレイン側駆動回路を複数に分割し、並列動作させるアクティブマトリックス表示装置が提案されている（特開昭61-5263号公報参照）。

【0004】すなわち、従来のアクティブマトリックス表示装置1には、図4に示すように、アクティブマトリ

ックスアレイ2、ゲートラインを駆動するゲートライン駆動回路3及びドレインラインを駆動する3個のドレインライン駆動回路4、5、6が形成されており、ゲートライン駆動回路3は、Gクロック信号に同期して、ゲートラインを縦方向に順次走査する。

【0005】ドレインライン駆動回路4、5、6には、Dクロック信号に同期して、一定画素ライン分の分割された映像信号であるVv1、Vv2、Vv3がそれぞれシリアルデータとして印加される。

【0006】すなわち、アクティブマトリックス液晶表示装置1の外部回路として、シフトレジスタ7、サンプルホールド回路8、9及びシフトレジスタ10、11、12を備えており、映像信号がシフトレジスタ7により順次サンプルホールド回路8に書き込まれる。

【0007】そして、次の走査線の走査が始まると、サンプルホールド回路8に書き込まれていた映像信号は、サンプルホールド回路9に移され、サンプルホールド回路9に保持された映像信号は、シフトレジスタ10、11、12により一定走査線の1/3ずつに分割されて、Dクロック信号と同期して、ドレインライン駆動回路4、5、6にシリアルデータとして書き込まれる。

【0008】ドレインライン駆動回路4、5、6は、各ドレインライン駆動回路4、5、6に接続されて3分割されたアクティブマトリックスアレイ2の対応する領域のドレインラインに映像信号を供給する。

【0009】したがって、Dクロック信号のクロック周波数は、一つのシフトレジスタで一定走査ラインを走査する場合に比べて、1/3のクロック周波数で済み、大画面のアクティブマトリックス液晶表示装置1を確実に駆動することができる。

【0010】

【発明が解決しようとする課題】しかしながら、このような従来の表示駆動装置にあっては、1つのDクロック信号に同期して、3個のドレインライン駆動回路4、5、6から3本のドレインラインに同時にデータを供給することによりDクロック信号の周波数を1/3にしていたため、例えば、テレビ受信機に適用したとき、NTSC方式には充分対応することができるが、HDTV（高品位テレビジョン）の場合には、スイッチング素子としてポリシリコン等の移動度の遅い素子を用いて高精細の表示装置を駆動すると、なお十分な駆動時間を確保することができず、画質が悪化するという問題があった。

【0011】そこで、本発明は、上記実情に鑑みてなされたもので、動作速度の遅い薄膜トランジスタをスイッチング素子として用いても、高精細の表示装置を安定して駆動することのできる表示駆動装置を提供することを目的としている。

【0012】

【課題を解決するための手段】本発明の表示駆動装置

は、基板上に形成された走査ラインとデータラインの各交点に表示素子をマトリックス状に配置した表示パネルと、前記基板上に形成された複数のグループに分割されるとともに各グループが同数の複数のデータ側駆動回路で構成されたデータ側駆動回路部と、を備え、前記表示パネルの各データラインは、前記複数のグループの各データ側駆動回路の一つに接続されることにより、前記データ側駆動回路部のグループの数に対応した数の駆動領域に分割され、前記各グループの各データ側駆動回路は、それぞれが他のグループのデータ側駆動回路と共通のクロック信号ラインにより接続されることにより、上記目的を達成している。

【0013】この場合、前記クロック信号ラインには、例えば、請求項2に記載するように、基本クロック信号を前記データ側駆動回路部のグループの数と各グループを構成するデータ側駆動回路の数との積の逆数に分割するとともに、該グループを構成するデータ側駆動回路の数に対応した位相角で位相をずらせたクロック信号が供給されていてもよい。

【0014】また、前記クロック信号ラインに供給されるクロック信号は、例えば、請求項3に記載するように、前記各グループに含まれるデータ側駆動回路の数に対応して基本クロック信号を分割する第1のカウントと、前記データ側駆動回路部を構成するグループの数に対応して前記第1のカウントから出力されるクロック信号を分割する前記グループの数と同じ数の第2のカウントと、により生成してもよい。

【0015】

【作用】本発明の表示駆動装置によれば、基板上に、少なくとも表示パネルとデータ側駆動回路部が形成され、データ側駆動回路部は、複数のグループに分割されるとともに各グループが同数の複数のデータ側駆動回路で構成され、各グループの各データ側駆動回路には対応する映像データが入力される。そして、表示パネルの各データラインは、データ側駆動回路部の複数のグループの各データ側駆動回路の一つに接続されることにより、データ側駆動回路部のグループの数に対応した数の駆動領域に分割されるとともに、さらに各グループの各データ側駆動回路は、それぞれが他のグループのデータ側駆動回路と共通のクロック信号ラインにより接続されている。

【0016】したがって、データ側駆動回路部のグループの数と当該グループを構成するデータ側駆動回路の数との積に反比例してクロック信号の周波数を低くすることができ、動作速度の遅いスイッチング素子を使用しても、表示パネルの高精細、大画面化に対して十分な駆動速度を確保することができる。その結果、高精細の表示パネルを高品位で駆動させることができる。

【0017】

【実施例】以下、本発明を実施例に基づいて説明する。

【0018】図1～図3は、本発明の表示駆動装置の一実施例を示す図である。

【0019】本実施例は、回路一体型アクティブマトリックス液晶表示パネルの表示駆動装置に適用したものである。

【0020】図1は、回路一体型アクティブマトリックス液晶表示パネルに適用した表示駆動装置の回路図である。

【0021】図1において、表示駆動装置20は、基板21上にアクティブマトリックスアレイ22、1個のゲートライン駆動回路23及び9個のドレインライン駆動回路24、25、26、27、28、29、30、31、32の形成された回路一体型アクティブマトリックス液晶表示パネル33と外部回路34を備えている。

【0022】アクティブマトリックスアレイ22は、基板21上に複数のゲートラインGL1～GLmと複数のドレインラインDL1～DLnがマトリックス状に形成され、ゲートラインGL1～GLmとドレインラインDL1～DLnの各交点にスイッチング素子としての薄膜トランジスタTFTと画素液晶（表示素子）LCが接続されている（図1においては、ゲートラインGLとドレインラインDLの交点に薄膜トランジスタTFTと画素液晶LCを代表的に1個のみ示す。）。

【0023】各ゲートラインGL1～GLmは、ゲートライン駆動回路23にそれぞれ接続されており、ゲートライン駆動回路23には、図外の制御回路からG-クロック信号が入力されている。ゲートライン駆動回路23は、G-クロック信号に基づいて各ゲートラインGL1～GLmに順次ゲート信号を出力して、順次ゲートラインGL1～GLmを選択し、該ゲートラインGL1～GLmに接続された各薄膜トランジスタTFTをオンする。

【0024】前記基板21上に形成された9個のドレインライン駆動回路24～32は、ドレインライン駆動回路24、25、26、ドレインライン駆動回路27、28、29及びドレインライン駆動回路30、31、32の3個ずつの3つのグループG1、G2、G3にグループ分けされており、前記各ドレインラインDL1～DLnは、グループ分けされた各グループG1、G2、G3の各3個のドレインライン駆動回路24、25、26、ドレインライン駆動回路27、28、29及びドレインライン駆動回路30、31、32のうちの1つに順次接続されることにより、9個の駆動領域に領域区分されている。

【0025】すなわち、ドレインラインDL1～DLnは、図1中左から同数ずつ、つまりドレインラインDL1～DLp、データラインDLp+1～DLq及びデータラインDLq+1～DLnの3つの駆動領域に区分されるとともに、この各駆動領域のドレインラインDL1～DLp、データラインDLp+1～DLq及びデータライン

DL<sub>q+1</sub>~DL<sub>n</sub>が、各グループG1、G2、G3のドレインライン駆動回路24、25、26、ドレインライン駆動回路27、28、29及びドレインライン駆動回路30、31、32に、それぞれ順次1本ずつ接続されることにより、さらに3つの駆動領域に領域区分されている。

【0026】例えば、グループG1のドレインライン駆動回路24、25、26に対して、ドレインラインDL<sub>1</sub>~DL<sub>p</sub>のうち、ドレインラインDL<sub>1</sub>がドレインライン駆動回路24に、ドレインラインDL<sub>2</sub>がドレインライン駆動回路25に、ドレインラインDL<sub>3</sub>がドレインライン駆動回路26に、順次接続され、同様に各ドレインラインDL<sub>1</sub>~DL<sub>p</sub>が順次ドレインライン駆動回路24、25、26に接続されて、ドレインラインDL<sub>p-2</sub>がドレインライン駆動回路24に、ドレインラインDL<sub>p-1</sub>がドレインライン駆動回路25に、そして、ドレインラインDL<sub>p</sub>がドレインライン駆動回路26に接続されている。同様に、グループG2及びグループG3についても、それぞれデータラインDL<sub>p+1</sub>~DL<sub>q</sub>及びデータラインDL<sub>q+1</sub>~DL<sub>n</sub>が対応するグループG2及びグループG3のドレインライン駆動回路27、28、29及びドレインライン駆動回路30、31、32に順次接続されている。

【0027】したがって、ドレインラインDL<sub>1</sub>~DL<sub>n</sub>は、順次3つのグループG1、G2、G3の3個のドレインライン駆動回路24~26、27~29、30~32の1つに順次接続されることにより、9つの駆動領域に分割された状態となっている。

【0028】そして、各グループG1、G2、G3のドレインライン駆動回路24~26、ドレインライン駆動回路27~29及びドレインライン駆動回路30~32には、外部回路34からグループG1、G2、G3毎に共通のアナログ映像信号DA、DB、DCが入力されるとともに、各グループG1、G2、G3の対応するドレインライン駆動回路24、27、30、ドレインライン駆動回路25、28、31及びドレインライン駆動回路26~32に同じクロック信号CT1、CT2、CT3が入力される。

【0029】このドレインライン駆動回路24~32は、具体的には、図2に示すように回路構成されている。

【0030】図2において、各ドレインライン駆動回路24~32は、対応する9個のシフトレジスタ41~43、44~46、47~49、各シフトレジスタ41~49とデータラインDL<sub>1</sub>~DL<sub>n</sub>との間に接続されたトランスファゲートTG1~TG<sub>p</sub>、TG<sub>p+1</sub>~TG<sub>q</sub>、TG<sub>q+1</sub>~TG<sub>n</sub>及び各トランスファゲートTG1~TG<sub>n</sub>の一方の制御端子に接続されたインバータI1~I<sub>p</sub>、I<sub>p+1</sub>~I<sub>q</sub>、I<sub>q+1</sub>~I<sub>n</sub>を備えており、各シフトレジスタ41~49には、水平同期信号φHが入

力されるとともに、各グループG1、G2、G3の対応する位置のシフトレジスタ41、44、47には、クロック信号CT1が、シフトレジスタ42、45、48には、クロック信号CT2が、シフトレジスタ43、46、49には、クロック信号CT3が入力される。

【0031】そして、各グループG1、G2、G3のシフトレジスタ41~43、44~46、47~49に接続されたトランスファゲートTG1~TG<sub>p</sub>、TG<sub>p+1</sub>~TG<sub>q</sub>、TG<sub>q+1</sub>~TG<sub>n</sub>は、その入力端子にそれぞれ後述する間引き映像信号VA、VB、VCが入力され、その出力端子は、対応するデータラインDL<sub>1</sub>~DL<sub>n</sub>に接続されている。

【0032】各シフトレジスタ41~49は、水平同期信号φHに基づいて順次入力されるクロック信号CT1、CT2、CT3をそれぞれシフトし、制御信号として、その出力端子から当該出力端子に接続されているトランスファゲートTG1~TG<sub>n</sub>の制御端子に出力する。この制御信号は、トランスファゲートTG1~TG<sub>n</sub>の一方の制御端子には、そのまま入力され、他方の制御端子には、インバータI1~I<sub>n</sub>により反転されて入力される。したがって、各トランスファゲートTG1~TG<sub>n</sub>は、対応するシフトレジスタ41~49から制御信号が入力されることによりオンし、そのとき入力されている間引き映像VA、VB、VCを対応するデータラインDL<sub>1</sub>~DL<sub>n</sub>に供給する。

【0033】再び、図1において、外部回路34は、シフトレジスタ51、サンプルホールド回路52、53、3個のシフトレジスタ54、55、56及び4個のカウンタ57、58、59、60等で構成されている。サンプルホールド回路52には、アナログの映像信号が入力されており、シフトレジスタ54、55、56及びカウンタ57には、図外の制御回路からD-クロック信号が入力される。

【0034】シフトレジスタ51は、入力されるアナログの映像信号を間引いて順次サンプルホールド回路52にサンプルホールドさせ、次の走査線の走査が始まると、サンプルホールド回路52に書き込まれた映像信号をサンプルホールド回路53に移す。このサンプルホールド回路53に書き込まれた間引き映像信号は、D-クロック信号に同期して駆動信号を転送するシフトレジスタ54、55、56により1走査線の1/3ずつに分割され、デジタルのシリアル映像データVA、VB、VCとして、前記各グループG1、G2、G3のドレインライン駆動回路24~26、27~29、30~32にそれぞれ並列に出力される。

【0035】図3は、映像信号及び各クロック信号のタイミングを示すタイミング図を示すものであり、以下の説明は、図3を参照されたい。

【0036】カウンタ57は、入力されるD-クロック信号を1/3分周し、カウンタ58、59、60にそれ

それ出力する。

【0037】カウンタ58、59、60は、それぞれ入力される1/3分周されたD-クロック信号を、さらに1/3分周して1/9分周するとともに、図3に示すように、120°づつ位相をずらし、クロック信号CT1、CT2、CT3として前記各グループG1、G2、G3の対応する位置のドレインライン駆動回路24、27、30、ドレインライン駆動回路25、28、31及びドレインライン駆動回路26、29、32にそれぞれ出力する。したがって、各グループG1、G2、G3の対応する位置のドレインライン駆動回路24、27、30、ドレインライン駆動回路25、28、31及びドレインライン駆動回路26、29、32には、D-クロック信号の1/9のクロック周波数のクロック信号CT1、CT2、CT3が印加される。

【0038】次に、本実施例の動作を説明する。

【0039】表示駆動装置20は、上述のように、基板21上にアクティブマトリックスアレイ22とゲートライン駆動回路23及び9個のドレインライン駆動回路24～32が形成されており、アクティブマトリックスアレイ22の各データラインDL1～DLnは、3個で1グループを構成する各グループG1、G2、G3のドレインライン駆動回路24～26、ドレインライン駆動回路27～29及びドレインライン駆動回路30～32に順次接続されることにより、9つの駆動領域に領域区分されている。各グループG1、G2、G3のドレインライン駆動回路24～26には、アナログ映像信号を3分割した最初の間引き映像信号VAが共通に入力され、ドレインライン駆動回路27～29には、アナログ映像信号を3分割した2番目の間引き映像信号VBが共通に入力され、さらに、ドレインライン駆動回路30～32には、映像信号を3分割した3番目の間引き映像信号VCが共通に入力されている。

【0040】そして、各グループG1、G2、G3の対応する位置のドレインライン駆動回路24、27、30には、カウンタ58から出力される共通のクロック信号CT1が入力され、ドレインライン駆動回路25、28、31には、カウンタ59から出力される共通のクロック信号CT2が入力され、さらに、ドレインライン駆動回路26、29、32には、カウンタ60から出力される共通のクロック信号CT3が入力される。

【0041】このクロック信号CT1、CT2、CT3は、図3に示すように、外部回路34のカウンタ57で、まず1/3分周し、さらに、カウンタ58、59、60で1/3分周するとともに、120°づつ位相がずらされたものである。

【0042】そこで、まず、ドレインライン駆動回路24～26から構成されるグループG1のみについて、その動作を説明する。

【0043】A1、A2、A3、・・・からなるアナ

ログ映像信号の最初の1/3の間引き映像信号DAは、サンプルホールド回路53に保持され、これに対応する間引きデータVA1、VA2、VA3、・・・からなる間引き映像信号VAが、D-クロック信号に同期して各ドレインライン駆動回路24、25、26に転送される。ドレインライン駆動回路24に転送された間引き映像信号VAのうち最初の映像信号VA1は、D-クロック信号を1/9に分周したクロック信号CT1により開成するトランスファゲートTG1を介してデータラインDL1に供給される。このとき、ドレインライン駆動回路25、26に転送された映像信号VA1は、クロック信号CT2及びクロック信号CT3がトランスファゲートTG2及びトランスファゲートTG3に供給されていないため、ドレインラインDL2及びドレインラインDL3に供給されることはない。

【0044】次に、ドレインライン駆動回路25に転送された間引き映像信号VAのうち2番目の映像信号VA2は、D-クロック信号を1/9に分周され、かつクロック信号CT1により120°位相が遅れたクロック信号CT2により開成するトランスファゲートTG2を介してデータラインDL2に供給される。

【0045】さらに、ドレインライン駆動回路26に転送された間引き映像信号VAのうち3番目の映像信号VA3は、D-クロック信号を1/9に分周され、クロック信号CT2より120°位相が遅れたクロック信号CT3により開成するトランスファゲートTG3を介してデータラインDL3に供給される。

【0046】このようにして、ドレインライン駆動回路24からは、D-クロック信号を1/9に分周したクロック信号CT1により、間引き映像信号VAがデータラインDL1、DL4、・・・、DLp-2に供給され、また、ドレインライン駆動回路25からは、ドレインライン駆動回路24とは120°位相が遅れたクロック信号CT2により、間引き映像信号VAがデータラインDL2、DL5、・・・、DLp-1に供給され、さらに、ドレインライン駆動回路26からは、ドレインライン駆動回路25とは120°位相の遅れたクロック信号CT3により、間引き映像信号VAがデータラインDL3、DL6、・・・、DLpに供給される。

【0047】尚、各データラインDLに供給された映像信号VAは、各データラインDLと基板21との間の容量により保持され、アクティブマトリックスアレイ22の薄膜トランジスタTFTが開成されたとき、画素容量として蓄積される。

【0048】ドレインライン駆動回路27～29から構成されるグループG2及びドレインライン駆動回路30～32から構成されるグループG3についても、動作は上記と同様である。

【0049】つまり、グループG2においては、ドレインライン駆動回路27からは、D-クロック信号を1/

9に分周したクロック信号CT1により、間引き映像信号VBがデータラインDLp+1、DLp+4、・・・、DLq-2に供給され、また、ドレインライン駆動回路28からは、ドレインライン駆動回路27とは120°位相が遅れたクロック信号CT2により、また、ドレインライン駆動回路28からは、ドレインライン駆動回路27とは120°位相が遅れたクロック信号CT2により、間引き映像信号VBがデータラインDLp+2、DLp+5、・・・、DLq-1に供給され、さらに、ドレインライン駆動回路29からは、ドレインライン駆動回路28とは120°位相が遅れたクロック信号CT3により、間引き映像信号VBがデータラインDLp+3、DLp+6、・・・、DLqに供給される。

【0050】また、ドレインライン駆動回路30～32から構成されるグループG3においては、ドレインライン駆動回路30からは、Dクロック信号を1/9に分周したクロック信号CT1により、間引き映像信号VCがデータラインDLq+1、DLq+4、・・・、DLn-2に供給され、また、ドレインライン駆動回路31からは、ドレインライン駆動回路30とは120°位相が遅れたクロック信号CT2により、間引き映像信号VCがデータラインDLq+2、DLq+5、・・・、DLn-1に供給され、さらに、ドレインライン駆動回路32からは、ドレインライン駆動回路31とは120°位相が遅れたクロック信号CT3により、間引き映像信号VCがデータラインDLq+3、DLq+6、・・・、DLnに供給される。

【0051】そして、上記において、ドレインライン駆動回路24、27、30は、共通のクロック信号CT1により駆動されているので、間引き映像信号VA1、VB1、VC1は同じ走査期間t1中に各データラインDL1、DLp+1、DLq+1に供給される。また、ドレインライン駆動回路25、28、31は、共通のクロック信号CT2により駆動されているので、間引き映像信号VA2、VB2、VC2は同じ走査期間t2中に各データラインDL2、DLp+2、DLq+2に供給される。さらに、ドレインライン駆動回路26、29、32は、共通のクロック信号CT3により駆動されているので、間引き映像信号VA3、VB3、VC3は同じ走査期間t3中に各データラインDL3、DLp+3、DLq+3に供給される。図3には、このようなタイミングを明確に示している。

【0052】このように、基板21上に、少なくともアクティブマトリクスアレイ22とドレインライン駆動回路24～32が形成され、ドレインライン駆動回路24～32が、複数のグループG1、G2、G3に分割されるとともに各グループG1、G2、G3が同数の複数のドレインライン駆動回路24～26、ドレインライン駆動回路27～29及びドレインライン駆動回路30～32で構成され、各グループG1、G2、G3の各ド

レインライン駆動回路24～26、ドレインライン駆動回路27～29及びドレインライン駆動回路30～32には、それぞれ、間引き映像信号VA、VB、VCが入力される。

【0053】そして、各データラインDL1～DLnは、各グループG1、G2、G3の各ドレインライン駆動回路24～26、ドレインライン駆動回路27～29及びドレインライン駆動回路30～32の一つに順次接続されることにより、グループG1、G2、G3の数に対応した数の駆動領域に分割されている。また、各グループG1、G2、G3を構成するドレインライン駆動回路24～26、ドレインライン駆動回路27～29及びドレインライン駆動回路30～32は、それぞれ1つずつが共通のクロック信号ラインで接続され、各グループG1、G2、G3を構成する数（この実施例では、3個）のドレインライン駆動回路に対応する角度だけ位相がずれた異なる位相のクロック信号CT1、CT2、CT3により駆動される。

【0054】したがって、駆動領域の数と、各駆動領域を構成するドレインライン駆動回路の数を乗算した数に反比例してクロック信号CT1、CT2、CT3の周波数を低くすることができ、スイッチング素子としてポリシリコン等の動作速度の遅いスイッチング素子を使用しても、液晶表示パネルの高精細、大画面化に対して十分な駆動速度を確保することができる。その結果、HDTVのような高画素容量の表示装置においても、高品質な画質を得ることができる。

【0055】尚、上記実施例においては、ドレインライン駆動回路24～32を3つのグループG1、G2、G3に分け、各グループG1、G2、G3を3個のドレインライン駆動回路24～26、ドレインライン駆動回路27～29及びドレインライン駆動回路30～32で構成することにより、データラインDL1～DLnを9つの駆動領域に領域区分した場合について説明したが、これに限るものではなく、2以上のグループに分け、各グループを2以上のデータ側駆動回路で構成することにより、4以上の領域に区分するあらゆる場合に同様に適用することができる。この場合、領域区分の数を増やすほど、クロック信号の周波数の低くすることができる。

【0056】

【発明の効果】本発明によれば、データ側駆動回路部のグループの数と当該グループを構成するデータ側駆動回路の数との積に反比例してクロック信号の周波数を低くすることができるので、動作速度の遅いスイッチング素子を使用しても、表示パネルの高精細、大画面化に対して十分な駆動速度を確保することができ、高精細の表示装置を高品位で駆動することができる。

【図面の簡単な説明】

【図1】本発明の表示駆動装置の一実施例の回路図。

【図2】図1のドレインライン駆動回路の詳細な回路



図。

【図3】図1の表示駆動装置による映像信号のサンプリングタイミングとクロック信号CT1、CT2、CT3の生成波形を示す図。

【図4】従来表示駆動装置の回路図。

【符号の説明】

20 表示駆動装置

21 基板

22 アクティブマトリクスアレイ

23 ゲートライン駆動回路

24～32 ドレインライン駆動回路

33 アクティブマトリクス液晶表示パネル

34 外部回路

41～49 シフトレジスタ

51 シフトレジスタ

52、53 サンプルホールド回路

54、55、56 シフトレジスタ

57～60 カウンタ

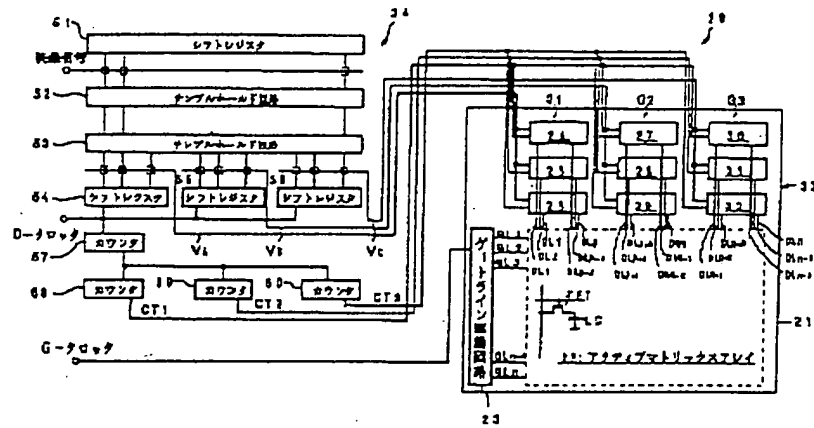
GL1～GLm ゲートライン

DL1～DLn データライン

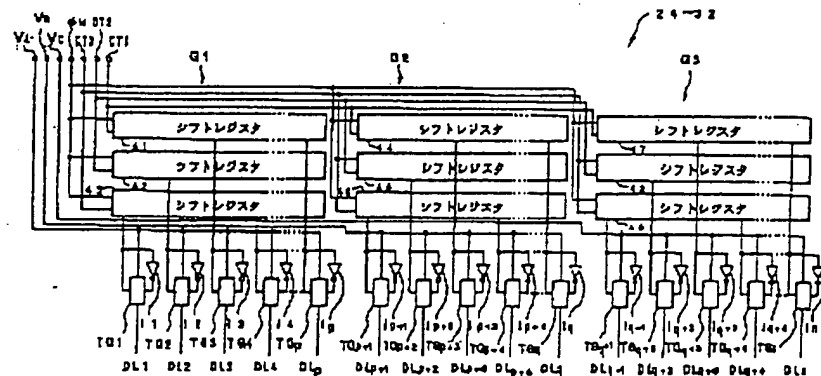
TG1～TGn トランスファゲート

I1～In インバータ

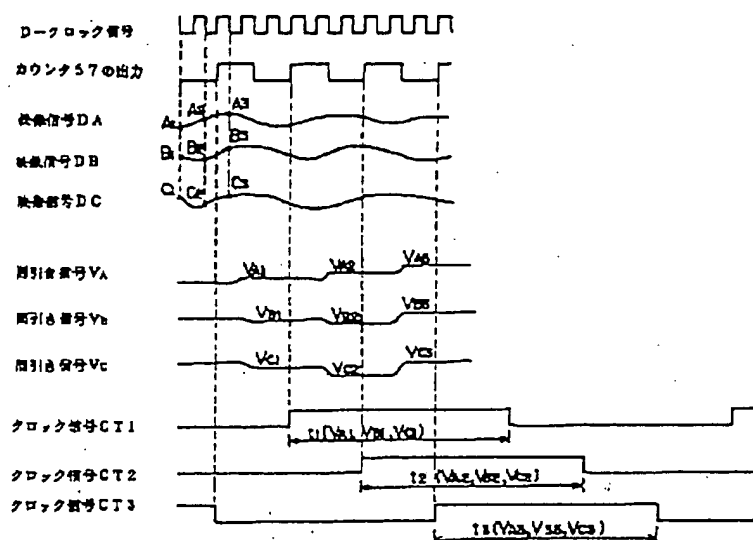
【図1】



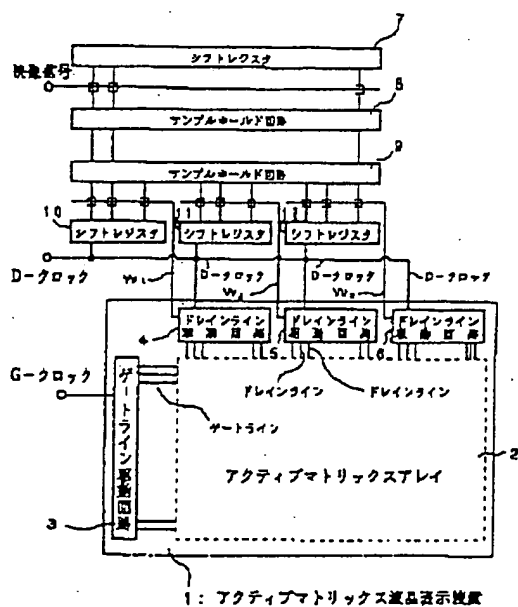
【図2】



1. 5. 2



【图4】



【手續補正書】

【提出日】平成6年4月25日

【手續補正1】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】そして、各グループG1、G2、G3のドレインライン駆動回路24~26、ドレインライン駆動回路27~29及びドレインライン駆動回路30~32には、外部回路34からグループG1、G2、G3等に

共通の間引き映像信号VA、VB、VCが入力されるとともに、各グループG1、G2、G3の対応するドレインライン駆動回路24、27、30、ドレインライン駆動回路25、28、31及びドレインライン駆動回路26、29、32に同じクロック信号CT1、CT2、CT3が入力される。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】シフトレジスタ51は、入力されるアナログの映像信号をDークロック信号に同期して順次サンプルホールド回路52にサンプルホールドさせ、次の走査線の走査が始まると、サンプルホールド回路52に書き込まれた映像信号をサンプルホールド回路53に移す。このサンプルホールド回路53に書き込まれた間引き映像信号は、カウンタ57の出力信号に同期して駆動信号を転送するシフトレジスタ54、55、56により1走査線の1/3ずつに分割され、間引き映像信号データVA、VB、VCとして、前記各グループG1、G2、G3のドレインライン駆動回路24～26、27～29、30～32にそれぞれ並列に出力される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】カウンタ57は、入力されるDークロック信号を1/3分周し、シフトレジスタ54～56およびカウンタ58、59、60にそれぞれ転送用信号およびカウンタ用信号として出力する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】映像信号DATAはシフトレジスタ51によりDークロック信号に同期して順次サンプルホールド回路52に書き込まれ保持される。次のゲートラインの走査が始まると、サンプルホールド回路52に書き込まれていた映像信号DATAはサンプルホールド回路53に移される。表示駆動装置20は、上述のように、基板

21上にアクティブマトリックスアレイ22とゲートライン駆動回路23及び9個のドレインライン駆動回路24～32が形成されており、アクティブマトリックスアレイ22の各データラインDL1～DLnは、3個で1グループを構成する各グループG1、G2、G3のドレインライン駆動回路24～26、ドレインライン駆動回路27～29及びドレインライン駆動回路30～32に順次接続されることにより、9つの駆動領域に領域区分されている。各グループG1、G2、G3のドレインライン駆動回路24～26には、アナログ映像信号を3分割した最初の間引き映像信号VAが共通に入力され、ドレインライン駆動回路27～29には、アナログ映像信号を3分割した2番目の間引き映像信号VBが共通に入力され、さらに、ドレインライン駆動回路30～32には、映像信号を3分割した3番目の間引き映像信号VCが共通に入力されている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】A1、A2、A3、・・・からなるアナログ映像信号の最初の1/3の間引き映像信号VAは、サンプルホールド回路53に保持され、これに対応する間引きデータVA1、VA2、VA3、・・・からなる間引き映像信号VAが、Dークロック信号に同期して各ドレインライン駆動回路24、25、26に転送される。ドレインライン駆動回路24に転送された間引き映像信号VAのうち最初の映像信号VA1は、Dークロック信号を1/9に分周したクロック信号CT1により開成するトランスファゲートTG1を介してデータラインDL1に供給される。このとき、ドレインライン駆動回路25、26に転送された映像信号VA1は、クロック信号CT2及びクロック信号CT3がトランスファゲートTG2及びトランスファゲートTG3に供給されていないため、ドレインラインDL2及びドレインラインDL3に供給されることはない。

【手続補正6】

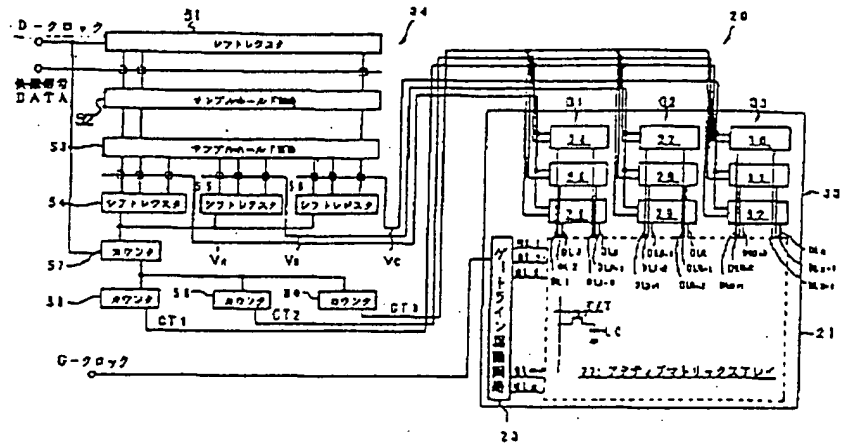
【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】



【手続補正7】

【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】

